

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-149408

(43)公開日 平成6年(1994)5月27日

(51)Int.Cl.⁵
G 0 6 F 1/10

識別記号 庁内整理番号
7165-5B

F I
G 0 6 F 1/ 04 3 3 0 A

技術表示箇所

審査請求 有 請求項の数4(全 7 頁)

(21)出願番号 特願平4-327231

(22)出願日 平成4年(1992)11月12日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 祖父江 敏晴

東京都港区芝五丁目7番1号 日本電気株式会社社内

(72)発明者 加藤 晃

東京都港区芝五丁目7番1号 日本電気株式会社社内

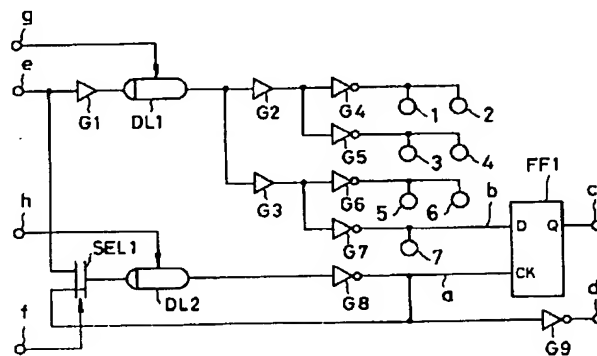
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 集積回路装置

(57)【要約】

【目的】 各集積回路の製造上のバラツキにより、クロック分配回路の遅延時間が互いに相異し、クロックスキューが生ずる。これを簡単な構成でほぼ零に調整可能とする。

【構成】 遅延回路DL2とゲート8とによるリングオシレータを構成し、この発振周期を端子dで観測しつつゲートG8の出力クロックaの位相を遅延回路DL2の遅延時間調整で一定に設定する。次に、セレクトSEL1を切替えて入力クロックeを遅延回路DL2、ゲートG8を通し、DFF1のCK入力aとする。入力クロックeの遅延回路DL1及び分配回路を介した分配クロックbをDFF1のD入力とし、そのQ出力cを観測しつつ遅延回路DL1の遅延時間を変化させ、出力cのレベル遷移タイミングでその遅延時間を設定固定する。これにより、基準クロックaと分配クロックbとの位相が一致する。



【特許請求の範囲】

【請求項1】 入力クロック信号の遅延時間を外部制御信号に応じて変化自在な第1の遅延手段と、この遅延後のクロック信号を複数のレジスタに分配するために複数のゲートにより構成されたクロック分配手段と、帰還ループを有しこのループ内に外部制御信号に応じて遅延時間が変化自在な第2の遅延手段を含むリングオシレータ手段と、このリングオシレータの帰還ループを前記第2の遅延手段の入力部でオープンとしその代わりに前記入力クロック信号をこの第2の遅延手段へ入力する切替え手段と、前記切替え手段により前記入力クロック信号が前記第2の遅延手段へ入力されたときのその出力クロック信号と前記クロック分配手段の所定の出力クロック信号との位相差を検出する位相差検出手段とを含み、この位相差に応じて前記第1の遅延手段の遅延時間を設定するようにしたことを特徴とするクロックスキュー調整回路内蔵集積回路装置。

【請求項2】 前記位相差検出手段は、前記所定の出力クロック信号をデータ入力とし前記第2の遅延手段の出力クロック信号をクロック入力とするDタイプフリップフロップとを有し、前記Dタイプフリップフロップの出力波形に応じて前記第1の遅延手段の遅延時間を設定するようにしたことを特徴とする請求項1記載の集積回路装置。

【請求項3】 前記位相差検出手段は、前記所定の出力クロック信号を入力とする第1のトリガフリップフロップと、前記第2の遅延手段の出力クロック信号を入力とする第2のトリガフリップフロップと、これ等両トリガフリップフロップの出力を2入力とする論理積手段とを有し、この論理積手段の出力に波形に応じて前記第1の遅延手段の遅延時間を設定するようにしたことを特徴とする請求項1記載の集積回路装置。

【請求項4】 前記位相差に応じて前記第1の遅延手段の遅延時間を設定する制御信号を生成する制御信号発生手段を更に含むことを特徴とする請求項1記載の集積回路装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は集積回路装置に関し、特にクロックスキュー調整回路を内蔵した集積回路装置に関するものである。

【0002】

【従来の技術】 一般に、情報処理装置は多数の大規模集積回路により構成されているのが普通であり、これ等各々の大規模集積回路には同期化のためのクロック信号が分配されて供給されている。

【0003】 従来、このクロック信号は各集積回路の入力口において遅延素子やケーブル等により時間調整され、更に各集積回路内のクロック分配回路の構成を全て統一することにより、集積回路相互間におけるクロック

スキューをできるだけ小さくするようになっている。

【0004】 この様に、従来の集積回路装置では、クロック信号を各集積回路の入力口で位相調整しているが、大規模集積回路の場合にはレジスタ数が数百から数千もあり、これ等多数のレジスタにクロック信号を分配する必要があることから、数段のゲートによりクロック分配回路を構成している。そのために、クロック分配回路を全ての集積回路において統一した構造としても、集積回路の製造上のバラツキによりクロック分配回路自身の遅延時間にバラツキを生じ、よって集積回路相互間にはクロックスキューが生じることになる。

【0005】 特に、現在ではクロックサイクルが小さくなり、集積回路は高集積化のために製造上のバラツキが大きくなり、よってクロックサイクルのスキューが占める割合が大きくなり問題となっている。

【0006】 そこで、クロックスキューを各集積回路において夫々調整して、全ての集積回路相互間のクロックスキューを小さくする技術が種々提案されている。例えば特開平1-219917号公報や特開平1-300320号公報等に開示の技術が掲げられる。前者の技術においては、図7にその構成回路図を示す如く、LSIチップ内に、入力クロック信号100に対して遅延時間が互いに異なる複数の遅延回路21~2nと、この遅延回路21~2nの1つを外部制御信号300により選択する選択回路40とが予め、クロック分配回路50の前段に設けられている。更に、クロック分配回路50の多数のクロック分配出力600のうちの所定の1つのクロック信号60を外部モニタできるモニタ端子700が設けられている。

【0007】 かかる構成において、先ず回路設計時にクロック入力信号100をLSIチップ10に与え、LSIチップ10のモニタ端子700から出力されてくるクロック信号の遅延時間見積を予め求めておく。次に、LSIチップ10が完成すると、このチップ10に実際にクロック入力信号100を与えてモニタ端子700から出力されるクロック信号の遅延時間を測定しつつ外部制御信号300を制御させてゆき、所定の許容範囲内で見積値に近いクロック信号がモニタ端子700に得られた時点で、その外部制御信号300を設定し固定するようになっている。

【0008】 後者の特開平1-300320号公報には、図8に示す如き構成が示されている。この構成においては、図7の構成の外部制御信号300（遅延回路の1つを選択する選択回路を制御する信号）を、フリップフロップ30により生成するようにし、そのフリップフロップ30の入力として複数ビットの制御信号200を用い、最適な制御信号300の値をこのフリップフロップ30にて設定記憶するようになっている。他の構成は図7のそれと同一である。

【0009】

【発明が解決しようとする課題】この様な従来の構成では、正確なクロックスキューの調整を行うには、遅延時間が互いに異なる多くの遅延回路をLSIチップ内に予め組込んでおく必要があり、またこれ等遅延回路の1つを選択するための多入力1出力セクタも必要となり、回路構成が複雑化すると共に、集積度の低下の要因ともなるという欠点がある。更に、最終的には多数の遅延回路のなかの単に1つのみを用いるものであるから、回路の冗長性が多く実用的ではないという欠点もある。

【0010】本発明の目的は、簡単な回路構成で極めて精度良くクロックスキュー調整が可能なクロックスキュー調整回路を内蔵した集積回路を提供することである。

【0011】本発明の他の目的は、多数の遅延回路を冗長に設ける必要のないクロックスキュー調整回路内蔵の集積回路を提供することである。

【0012】

【課題を解決するための手段】本発明によれば、入力クロック信号の遅延時間を外部制御信号に応じて変化自在な第1の遅延手段と、この遅延後のクロック信号を複数のレジスタに分配するために複数のゲートにより構成されたクロック分配手段と、帰還ループを有しこのループ内に外部制御信号に応じて遅延時間が変化自在な第2の遅延手段を含むリングオシレータ手段と、このリングオシレータの帰還ループを前記第2の遅延手段の入力部でオープンとしその代わりに前記入力クロック信号をこの第2の遅延手段へ入力する切替え手段と、前記切替え手段により前記入力クロック信号が前記第2の遅延手段へ入力されたときのその出力クロック信号と前記クロック分配手段の所定の出力クロック信号との位相差を検出する位相差検出手段とを含み、この位相差に応じて前記第1の遅延手段の遅延時間を設定するようにしたことを特徴とするクロックスキュー調整回路内蔵集積回路装置が得られる。

【0013】

【実施例】以下に本発明の実施例について図面を参照しつつ詳細に説明する。

【0014】図1は本発明の第1の実施例を示すブロック図である。入力クロック信号eはゲートG1を介して第1の遅延回路DL1へ入力される。この遅延回路DL1は外部制御信号gにより遅延時間が変化自在となっている。この遅延回路の出力クロック信号はクロック分配回路へ入力され、各分配用端子1～7へ分配されることにより、図示せぬ各レジスタへ供給される。このクロック分配回路はゲートG2～G7により構成されている。

【0015】一方、第2の遅延回路DL2が設けられており、この遅延回路DL2とバッファG8とがセクタSEL1を介して帰還ループを構成することによりリングオシレータとして動作可能になっている。このリングオシレータ動作時の発振周期を観測すべく、観測用ゲートG9及び端子dが設けられている。

【0016】この遅延回路DL2も外部制御信号hによりその遅延時間が変化自在となっており、この遅延回路DL2の入力部におけるセクタSEL1の切替え制御により、この遅延回路DL2への入力が、ゲートG8の出力かまたは入力クロック信号eかが切替え制御される。尚、fはこのセクタSEL1の切替え制御信号である。

【0017】遅延回路DL2及びゲートG8を経たクロック信号aをクロック（CK）入力とするDタイプフリップフロップFF1が設けられており、そのデータ（D）入力には、分配回路の分配クロックのうち任意の1つのクロックbが印加されている。このフリップフロップFF1のQ出力がこれまた観測用端子cとして導出されている。

【0018】かかる構成において、先ずセクタSEL1により帰還ループを形成して、遅延回路DL2とゲートG8とによりリングオシレータを構成する。このときのリングオシレータの発振周期を、端子dの波形を観測することにより測定しつつセクタSEL1からゲートG8までの遅延時間を、遅延回路DL2の遅延量調整により予め定めた一定値に設定する。

【0019】次に、セクタSEL1を切替えて入力クロック信号eが遅延回路DL2へ供給されるようにする。こうすると、DタイプフリップフロップFF1のクロック入力には遅延回路DL2とゲートG8とを経たクロック信号aが印加されることになる。このとき、このフリップフロップFF1のデータ入力には、入力クロック信号eが遅延回路DL1及び分配回路を経たクロック信号bが印加されている。従って、このフリップフロップFF1のQ出力である端子cの波形を観測しつつ遅延回路DL1の遅延時間を調整して、このQ出力の波形が0→1または1→0に変化するタイミングに合致したときの遅延時間に設定することで、入力クロック信号eの入力端からゲートG7の出力までの遅延を、上記一定値（遅延回路DL2とゲートG8とによるリングオシレータの周期により設定した値）にすることが可能となる。

【0020】このフリップフロップFF1を用いた当該一定値の調整時の各部信号波形例を図2に示している。尚、図2においてはクロック信号のデューティを50%以下として示しているが、単なる説明のためであり、このデューティは例示のためのものにすぎない。

【0021】いま、フリップフロップFF1のクロック入力aは図2aの如くなっているものとする（その位相は第2の遅延回路DL2にて設定済みであり、以下基準クロック信号と称す）。分配回路の分配クロック信号bが図2bの如く基準クロック信号aより若干位相遅れがあると、フリップフロップFF1のQ出力は図2cの如く0レベルを維持する。逆に、図2b'に示す如く分配クロック信号bの位相が基準クロック信号aより若干進んでいれば、Q出力は2c'の如く1レベルを維持す

る。

【0022】そこで、両クロック信号aとbとの位相一致を調整すべく第1の遅延回路DL1の遅延時間を制御信号gにより制御すれば、図2c''に示すように、フリップフロップFF1のQ出力は0から1または1から0へ変化するタイミングt0が必ず存在する。よって、このQ出力の変化タイミングt0のときの遅延回路DL1の遅延時間がそのまま固定されれば、クロック信号bの位相は基準クロック信号aのそれに一致し、調整が終了することになる。

【0023】他の全ての集積回路においても、同様な手順で遅延回路DL1の遅延時間を調整し固定すれば、全ての集積回路内のクロック分配回路の各分配クロック信号が上記一定値の遅延時間を有することになり、集積回路相互間のクロックスキューは実質的に零になるのである。

【0024】図3は本発明の第2の実施例のブロック図であり、図1と同等部分は同一符号にて示す。図1の構成と異なる部分について述べると、基準クロック信号aと分配クロック信号bとの位相関係を検出する回路(図1ではDタイプフリップフロップFF1)が、2つのトリガフリップフロップTFF1、TFF2と、これ等2つのフリップフロップの出力jとiとを2入力とする論理積回路A1とからなる。フリップフロップTFF1、TFF2の各入力には分配クロック信号b、基準クロック信号aが夫々印加されており、論理積回路A1の出力cのパルスのデューティを観測することで、両クロックa、b間の位相差が判定できる。

【0025】他の構成は図1のそれと同一であってその説明は省略する。また、基準クロック信号aの位相も、リングオシレータ動作による発振周期の観測を行いつつ遅延回路DL2の遅延時間調整により、上記一定値に設定済みであるとする。

【0026】図4はこのときのクロック信号a、bの位相差に応じた位相差検出動作の例を示す各部波形図である。トリガフリップフロップTFF2の入力基準クロック信号aが図4aのようになっているものとする。分配回路の分配クロック信号bが図4bの如く基準クロック信号aより若干位相遅れがあると、両トリガフリップフロップTFF1、TFF2の各出力j、iは図4のj、iのようになる。従って、論理積回路A1の出力cは図4cの如くなり、そのデューティは位相差に比例して50%より小となる。

【0027】逆に、図4b'の如く分配クロック信号bの位相が基準クロック信号aよりも若干進んでいれば、トリガフリップフロップTFF1の出力jは図4j'の如く変化し、やはり論理積回路A1の出力は図4c'の如くデューティは50%より小となる。

【0028】そこで、両クロック信号a、bの位相差を零とすべく第1の遅延回路DL1の遅延時間を制御信号

gにより制御すれば、図2c''に示す如く、論理積回路A1の出力はデューティが50%となり、そのときの遅延回路DL1の遅延時間がそのまま固定されれば、分配クロック信号bの位相は基準クロック信号aのそれに一致し、調整が終了する。

【0029】図5は本発明の第3の実施例を示すブロック図であり、図1、3と同等部分は同一符号により示している。本実施例では、クロック信号aと分配クロック信号bとの間の位相差検出を、セクタSEL2を切替え出力端子cにて各クロック信号a、bの位相を観測することにより行うようにしている。

【0030】すなわち、切替え信号kを用いてセクタSEL2を制御してクロック信号a、bの一方を選択し、観測端子cの波形の遅延がどちらを選択しても同一となる様に遅延回路DL1の遅延時間の調整を行う。こうすれば、入力クロック信号eの入力端からゲートG7までの遅延を、一定値に設定したセクタSEL1からゲートG8までの遅延時間と等しくすることができるのである。

【0031】図6は本発明の第4の実施例を示すブロック図であり、図1、3及び5と同等部分は同一符号により示している。本例では基準クロック信号aと分配クロックbとの位相差を検出する位相差検出回路I1を設け、この検出位相差に応じて遅延制御信号gを生成する遅延制御回路SD1を更に設けている。この遅延制御信号gにより、遅延回路DL1の遅延時間を自動的に制御する構成である。

【0032】こうすることにより、基準クロック信号aの位相に分配クロック信号bの位相が自動的に合致するように自動制御され、人手を介する必要がなくなつてより正確なクロックスキュー調整が可能となる。また、両クロック信号a、bの位相差を観測するための端子(図1、3及び5では端子c)等も不要となるという長所もある。

【0033】

【発明の効果】以上述べた如く、本発明によれば、各集積回路のクロック信号入力端子からクロック分配回路の各分配端子までの遅延時間をすべて一定値に設定できるので、集積回路相互間のクロック分配回路の製造上のバラツキに起因するクロックスキューを実質的に零にすることができるといふ効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例のブロック図である。

【図2】本発明の第1の実施例のクロックスキュー調整例を説明するタイミング波形図である。

【図3】本発明の第2の実施例のブロック図である。

【図4】本発明の第2の実施例のクロックスキュー調整例を説明するタイミング波形図である。

【図5】本発明の第3の実施例のブロック図である。

【図6】本発明の第4の実施例のブロック図である。

【図7】従来のクロックスキュー調整回路の例を示すブロック図である。

【図8】従来のクロックスキュー調整回路の他の例を示すブロック図である。

【符号の説明】

1～7 クロック分配端子

A1 論理積回路

DL1, DL2 遅延回路

FF1 タイプフリップフロップ

G1～G9 ゲート

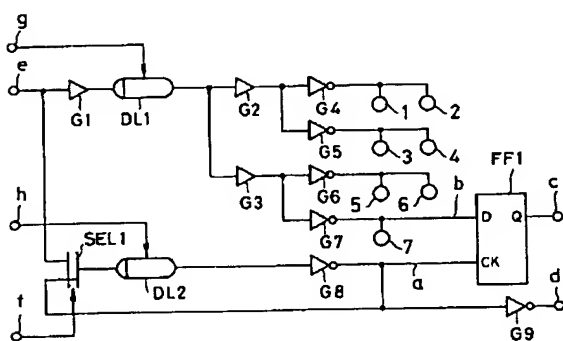
I1 位相差検出回路

SD1 遅延制御信号発生回路

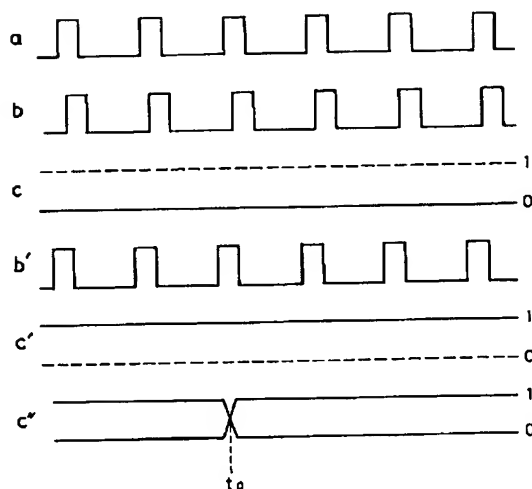
SEL1, SEL2 セレクタ

TFF1, TFF2 トリガフリップフロップ

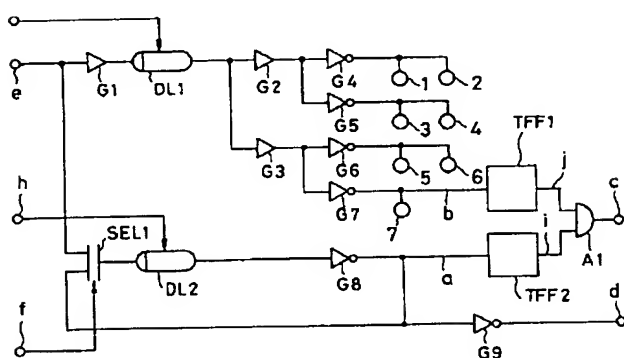
【図1】



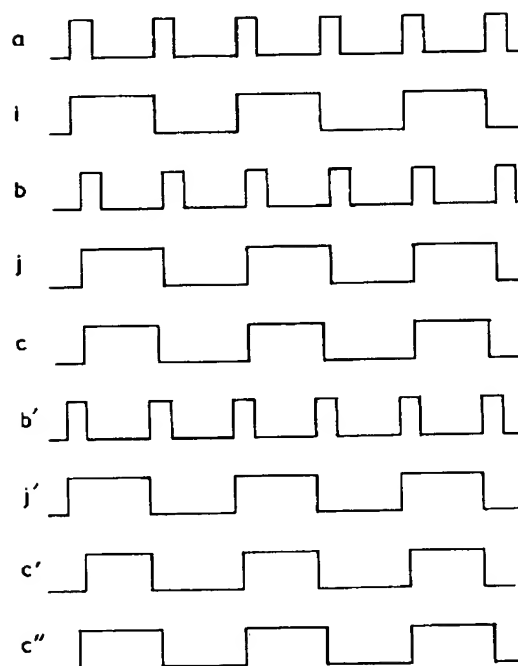
【図2】



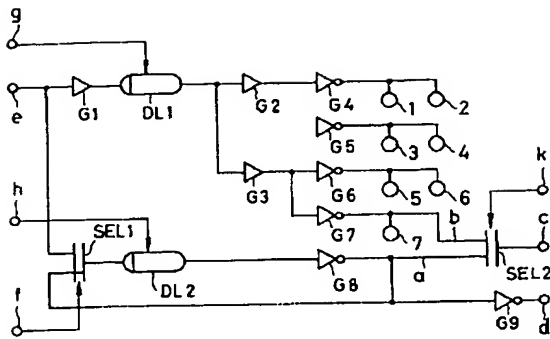
【図3】



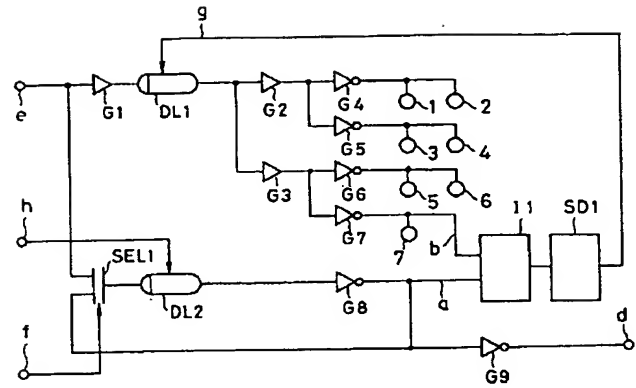
【図4】



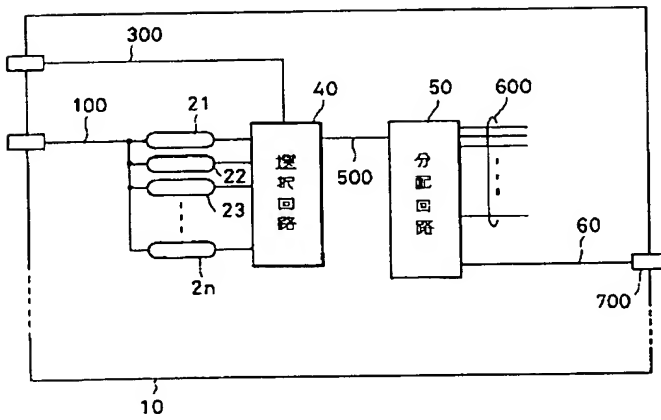
【図5】



【図6】



【図7】



【図8】

